

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-238854

(43) 公開日 平成11年(1999) 8月31日

(51) Int.Cl.⁶

H 0 1 L 27/08

27/04

21/822

29/786

29/78

識別記号

3 3 1

F I

H 0 1 L 27/08

27/04

29/78

3 3 1 E

A

6 1 3 Z

6 2 1

6 2 6 Z

審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く

(21) 出願番号

特願平10-40642

(22) 出願日

平成10年(1998) 2月23日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 澤 清隆

京都府京都市右京区西院溝崎町21番地

ローム株式会社内

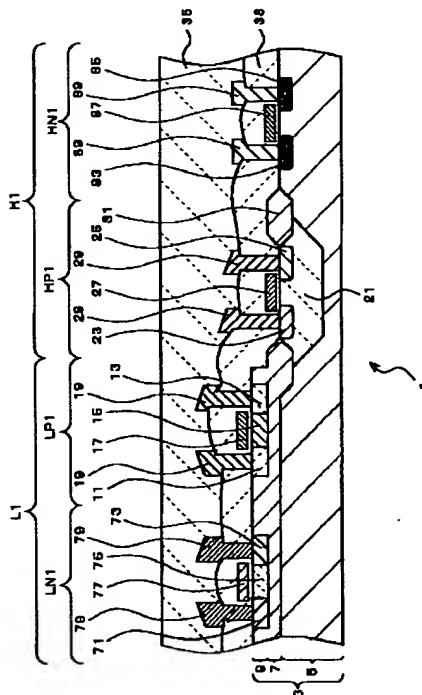
(74) 代理人 弁理士 古谷 栄男 (外 3 名)

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 本発明は、低電圧領域と高電圧領域が共存する半導体装置であっても、半導体装置全体の占有面積を縮小することができる半導体装置を提供することを目的とする。

【解決手段】 低電圧領域L1は、シリコン基板5、埋め込み酸化層7および薄膜シリコン層9による3層構造、つまり、SOI構造となっている。一方、高電圧領域H1は、半導体基板3がシリコン基板5のみによる1層構造、つまり、バルク構造となっている。半導体装置1では、SOI構造である低電圧領域L1とバルク構造である高電圧領域H1とが、1枚の半導体基板3上に、共存している。



【特許請求の範囲】

【請求項1】1枚の基板を有する半導体装置において、前記基板は、第1の素子形成領域および第2の素子形成領域を有し、

前記第1の素子形成領域には、素子形成層に一または複数の半導体素子が形成されており、かつ、前記素子形成層は、前記基板上に形成された絶縁層上に形成されており、

前記第2の素子形成領域には、前記基板上に一または複数の半導体素子が形成されている、

ことを特徴とする半導体装置。

【請求項2】基板、前記基板上に形成される絶縁層、および前記絶縁層上に形成される素子形成層を有する多層基板を用意し、

前記絶縁層及び前記素子形成層の一部を取除き、前記基板の表面を露出させ、

前記素子形成層に一または複数の半導体素子を形成し、前記露出させた基板に一または複数の半導体素子を形成する、

ことを特徴とする半導体装置の製造方法。

【請求項3】請求項2にかかる半導体装置の製造方法において、

シリコンによって形成される基板、

シリコン酸化物によって形成される絶縁層であって、前記基板上に形成される絶縁層、

シリコンによって形成される素子形成層であって、前記絶縁層上に形成される素子形成層、

を有する多層基板を用意し、

前記素子形成層上に酸化防止層を形成し、

前記酸化防止層の一部を除去し、

前記酸化防止層を除去することによって露出した素子形成層を酸化し、

除去されていない残りの酸化防止層を除去し、

酸化した素子形成層、および酸化した素子形成層の下部に存在する絶縁層を基板に対して選択的に除去することによって、前記絶縁層及び前記素子形成層の一部を取除き、前記基板の表面を露出させる、

ことを特徴とする半導体装置の製造方法。

【請求項4】第1の基板部、

前記第1の基板部上に形成される絶縁層、

前記絶縁層上に形成される素子形成層、

第2の基板部、

を有する半導体基板であって、

前記第1の基板部と前記第2の基板部とが、一体として形成されている、

ことを特徴とする半導体基板。

【請求項5】基板上に絶縁層を形成し、

前記絶縁層上に素子形成層を形成し、

前記絶縁層及び前記素子形成層の一部を取除き、前記基板の表面を露出させる、

ことを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置および半導体装置の製造方法に関し、特に使用電圧が違う半導体素子形成領域を同一の半導体基板上に有する半導体装置および半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体装置には、より一層の低消費電力化、高集積化が求められている。これは、携帯情報端末(PDA)等のモバイル製品への対応が求められているからである。このような低消費電力化、高集積化等に対応する手段として、SOI (Silicon On Insulator) 基板を用いる方法がある。

【0003】ここで、SOI構造を有する半導体基板(以下、SOI基板とする)について図4Aを用いて説明する。SOI基板100は、500~700 μ m厚のシリコン基板101上に埋め込み酸化層103を0.1~1 μ m形成し、さらに埋め込み酸化膜層103の上に薄膜シリコン層105を数10~数100nm形成したものである。

【0004】近年、SOI基板として商用化されているものには、SIMOX (Separation by Implanted Oxygen) とBE-SOI (Bonded and Etched SOI) がある。SIMOXは、単結晶シリコン基板上に10の17~18乗個/cm²程度の酸素イオンを注入し、高温熱処理を経て、シリコン基板中に埋め込み酸化膜を形成することによってSOI構造を形成したものである。

【0005】一方、BE-SOIは、2枚のシリコン基板の一方、もしくは両方に熱酸化膜を形成し、それらを張り合わせた後、一方を研磨、薄膜化してSOI構造を形成したものである。

【0006】図4Bは、図4Aに示すSOI基板100上の領域R1に形成したMOSFET150の断面構造を示したものである。MOSFET150は、従来のMOSFETと同様に、ソース領域151、ドレイン領域153、ゲート電極155、コンタクト電極157、層間膜159を有している。

【0007】このように、SOI基板上に形成された各半導体素子は、互いに絶縁膜で完全に分離されている。一般に、通常のパルクシリコン基板上にpMOSとnMOSのトランジスタを配置する場合、最小加工寸法の5倍~10倍近く離す必要がある。

【0008】しかし、SOI基板を用いるとpMOSとnMOSのトランジスタとを最小加工寸法で配置することができる。これにより、従来よりおよそ15~30%チップ面積を縮小できる。つまり、SOI基板を用いることによって、より高集積化が可能となる。

【0009】また、SOI基板上に通常のパルク基板と同じ回路を形成した場合、負荷容量が減少する。これ

は、埋め込み酸化層103の形成により、接合容量および配線容量を低減することができるからである。従来のバルクシリコン基板と比較して、0.6 μ mのデザインルールを用いたゲートアレーの場合、接合容量を30～50%、配線容量を44～65%に低減することができる。

【0010】つまり、通常のバルクシリコン基板と同じ回路をSOI基板上に形成すると、負荷容量が低減するので、動作速度そのものが速くなる。また、この効果を低電源電圧化に振り向けることによって、同じ動作速度で消費電力をバルクシリコン基板上のデバイスより約1/3に減少させることが可能となる。(応用物理 第64巻第11号(1995) P.1104-P.1110参照)

【0011】

【発明が解決しようとする課題】前述のSOI基板には次のような問題点がある。一般に、SOI基板は、ソース/ドレイン間の耐圧が低い。したがって、SOI基板は低電圧領域でしか使用できない。このソース/ドレイン間の耐圧低下は、基板浮遊効果によるものである。

【0012】基板浮遊効果によるソース/ドレイン間の耐圧の低下は次のようにして起こる(図5参照)。ドレイン近傍の高電界領域で発生した正孔がチャネル下部に蓄積され、チャネル部の電位を上昇させる。このために、ソース、チャネル、ドレイン領域をそれぞれエミッタ、ベース、コレクタとする寄生バイポーラトランジスタがオンしてしまうのである。

【0013】この基板浮遊効果に対しては、いくつかの対策が施されている。しかし、依然として、高電圧を必要とする領域にSOI基板を使用することはできない。したがって、高電圧で使用する領域には、SOI基板ではなくバルクシリコン基板を使用することになる。

【0014】ここで、ある半導体装置内に高電圧が必要な高電圧部と低電圧が必要な低電圧部とが存在する場合を考えてみる。この場合、例えば、高電圧部にはバルクシリコン基板を使用し、低電圧部にはSOI基板を使用することがある。

【0015】このように、バルクシリコン基板とSOI基板とを使用する場合、2枚の基板が必要となることから、基板の占有面積を小さくすることができず、延いては半導体装置全体を縮小することができない。

【0016】また、前述のBE-SOIには次のような問題点がある。BE-SOIでは、均一な膜厚さを有するSOI膜(埋め込み酸化層および薄膜シリコン層)を形成することは難しい。このSOI膜の均一性という観点から、ハーフミクロン以下のデバイスをBE-SOIに形成することは一般的ではない。したがって、ハーフミクロン以下のデバイスを形成する場合、一般的にはSIMOXの方を利用する。

【0017】ハーフミクロン以下のデバイスを形成し、より半導体装置全体のサイズを小さくしたい機器、例え

ば軍事用の携帯機器等では、SIMOXを使用し、半導体基板の占有面積を小さくすることによって、機器全体の縮小を試みている。この場合、SIMOXが用いられるのは主に内部ロジック回路部分である。というのも、現在のところでは、供給電圧は以前として高電圧であるためである。

【0018】したがって、高電圧領域と低電圧領域とが混在するため、前述のように、バルクシリコン基板とSOI基板という2枚の基板が必要となり、半導体装置全体を縮小することは困難である。

【0019】そこで、本発明は、低電圧領域と高電圧領域が共存する半導体装置であっても、半導体装置全体を縮小することができる半導体装置を提供することを目的とする。

【0020】

【課題を解決するための手段および発明の効果】請求項1にかかる半導体装置では、1枚の基板を有する半導体装置において、基板は、第1の素子形成領域および第2の素子形成領域を有している。また、第1の素子形成領域には、素子形成層に一または複数の半導体素子が形成されており、かつ、素子形成層は、基板上に形成された絶縁層上に形成されている。第2の素子形成領域には、基板上に一または複数の半導体素子が形成されている。

【0021】これにより、第1の素子形成領域および第2の素子形成領域とを1枚の基板上に形成することができる。したがって、第1の素子形成領域と第2の素子形成領域とを別々の基板上に形成する場合よりも、基板の占有面積を小さくすることができ、延いては、半導体装置全体を小さくすることができる。

【0022】請求項2にかかる半導体装置の製造方法では、基板、基板上に形成される絶縁層、および絶縁層上に形成される素子形成層を有する多層基板を用意し、絶縁層及び素子形成層の一部を取除き、基板の表面を露出させ、素子形成層に一または複数の半導体素子を形成し、露出させた基板に一または複数の半導体素子を形成する。

【0023】これにより、素子形成層に半導体素子を形成する部分と基板に半導体素子を形成する部分とを多層基板の基板上に形成することができる。したがって、素子形成層に半導体素子を形成する部分と基板に半導体素子を形成する部分とを別々の基板上に形成する場合よりも、基板の占有面積を小さくすることができ、延いては、半導体装置全体を小さくすることができる。

【0024】請求項3にかかる半導体装置の製造方法では、請求項2にかかる半導体装置の製造方法において、シリコンによって形成される基板、シリコン酸化物によって形成される絶縁層であって、基板上に形成される絶縁層、シリコンによって形成される素子形成層であって、絶縁層上に形成される素子形成層、を有する多層基板を用意し、素子形成層上に酸化防止層を形成し、酸化

防止層の一部を除去し、酸化防止層を除去することによって露出した素子形成層を酸化し、除去されていない残りの酸化防止層を除去し、酸化した素子形成層、および酸化した素子形成層の下部に存在する絶縁層を基板に対して選択的に除去することによって、絶縁層及び素子形成層の一部を取除き、基板の表面を露出させる。

【0025】これにより、所望の部分の絶縁層および素子形成層を容易かつ同時に除去することができる。したがって、素子形成層に半導体素子を形成する部分と基板に半導体素子を形成する部分とを容易に基板上に形成することができる。

【0026】請求項4にかかる半導体基板では、第1の基板部と第2の基板部とが、一体として形成されている。

【0027】これにより、絶縁層、素子形成層を有する部分と基板のみからなる部分とを1枚の基板上に有することができる。したがって、半導体素子を素子形成層および基板に形成することができるので、基板、絶縁層、素子形成層を有する多層基板に半導体素子を形成した半導体装置と、基板に半導体素子を形成した半導体装置とを接続するよりも、基板の占有面積を小さくすることができる。

【0028】請求項5にかかる半導体基板では、基板上に絶縁層を形成し、絶縁層上に素子形成層を形成し、絶縁層及び素子形成層の一部を取除き、基板の表面を露出させる。

【0029】これにより、基板上に基板表面を露出させた部分と絶縁層および素子形成層によって覆われた部分とを形成することができる。したがって、半導体素子を基板上と素子形成層上に形成することができるので、基板、絶縁層、素子形成層を有する多層基板に半導体素子を形成した半導体装置と、基板に半導体素子を形成した半導体装置とを接続するよりも、基板の占有面積を小さくすることができる。

【0030】

【発明の実施の形態】本発明にかかる半導体装置の一実施形態を図1に基づいて説明する。図1の半導体装置1は、SOI構造を有する1枚の半導体基板3上に、低電圧領域L1および高電圧領域H1を有している。

【0031】SOI構造を有する半導体基板3（以下、半導体基板3とする）は、シリコン基板5、埋め込み酸化層7および薄膜シリコン層9を有している。また、半導体基板3上には、層間膜33およびパッシベーション膜35が形成されている。

【0032】低電圧領域L1は、半導体基板3がシリコン基板5、埋め込み酸化層7および薄膜シリコン層9による3層構造となっている領域に形成されている。つまり、SOI構造である部分が低電圧領域L1となる。

【0033】一方、高電圧領域H1は、半導体基板3がシリコン基板5のみによる1層構造となっている領域に

形成されている。つまり、バルク構造となっている領域が高電圧領域H1となる。

【0034】なお、低電圧領域L1は、PチャネルトランジスタLP1およびNチャネルトランジスタLN1を有している。PチャネルトランジスタLP1は、P型ソース領域11、P型ドレイン領域13、N型チャネル領域15、ゲート電極17、コンタクト電極19を有している。NチャネルトランジスタLN1は、N型ソース領域71、N型ドレイン領域73、P型チャネル領域75、ゲート電極77、コンタクト電極79を有している。

【0035】また、高電圧領域H1は、PチャネルトランジスタHP1およびNチャネルトランジスタHN1を有している。PチャネルトランジスタHP1は、Nウェル領域21、P型ソース領域23、P型ドレイン領域25、ゲート電極27、コンタクト電極29およびLOCOS31を有している。NチャネルトランジスタHN1は、N型ソース領域83、N型ドレイン領域85、ゲート電極87、コンタクト電極89およびLOCOS31を有している。

【0036】これにより、半導体装置1では、第1の素子形成領域と第2の素子形成領域とを別々の基板上に形成する場合よりも、基板の占有面積を小さくすることができ、延いては、半導体装置全体を小さくすることができる。

【0037】ここで、請求項にかかる構成要素と本実施形態にかかる半導体装置1の構成要素との対応関係を示す。SOI構造を有する1枚の半導体基板3は多層基板に、高電圧領域H1は第2の素子形成領域に、低電圧領域L1は第1の素子形成領域にそれぞれ対応する。

【0038】また、シリコン基板5は基板に、埋め込み酸化層7は絶縁層に、薄膜シリコン層9は素子形成層に、それぞれ対応する。なお、シリコン基板5のうち、高電圧領域H1に含まれる部分が第2の基板部に、また、低電圧領域L1に含まれる部分が第1の基板部に対応する。

【0039】次に、半導体装置1の製造方法を図2～3を用いて説明する。以下の工程において製造する半導体装置1は、1.5ボルト以下で動作する内部ロジック回路と3.3ボルト～5ボルトで動作する外部入出力用MOSLSIとを有するものとする。

【0040】まず、半導体基板3としてSIMOXを用意する（図2A参照）。SIMOXとは、単結晶シリコン基板5に酸素イオンを注入し、高温処理を経て、単結晶シリコン基板5中に埋め込み酸化層7を形成したものである。

【0041】酸素イオンを単結晶シリコン基板5に注入する際には、適当なエネルギーを酸素イオンに与え、単結晶シリコン基板5の表面から適当な距離をおいた場所に埋め込み酸化層7が形成されるようにする。なお、今

回用意するSIMOXは、1000オングストロームの埋め込み酸化層7および1000オングストローム以下の薄膜シリコン層9を有するものとする。

【0042】次に、薄膜シリコン層9上に、熱酸化によりパッド酸化膜51を150オングストローム形成する(図2B参照)。このパッド酸化膜51上に減圧窒化シリコン(Si_3N_4)膜53を堆積させる(図2C参照)。この後、低電圧領域のみ減圧窒化シリコン膜53を残すように、フォトリソグラフィプロセスを実行する(図2D参照)。

【0043】そして、熱酸化工程を行なう。この熱酸化工程では、酸化膜は減圧窒化シリコン膜53上には成長しない。したがって、減圧窒化シリコン膜53が取除かれた部分にのみ、酸化膜が成長することになる。つまり、この新たに成長する酸化膜は、パッド酸化膜51上に成長する。

【0044】一方、この熱酸化工程においては、パッド酸化膜51の下部に存在する薄膜シリコン層9も酸化される。薄膜シリコン層9が酸化されることによって、その下部に存在する埋め込み酸化層7と一体となる酸化膜が形成される。

【0045】この結果、減圧窒化シリコン膜53を取除いた部分には、埋め込み酸化層7、酸化された薄膜シリコン層9、パッド酸化膜51、新たに成長させた酸化膜からなる酸化層55が形成されることになる(図3A参照)。なお、酸化層55の厚さは、3500オングストローム程度である。

【0046】その後、減圧窒化シリコン膜53を取除く(図3B参照)。続いて、取除いた減圧窒化シリコン膜53の下部に存在していたパッド酸化膜51および酸化層55を取除く。この除去工程には、シリコンを残しパッド酸化膜51および酸化層55を除去することができるHF系の液体を用いる。これにより、パッド酸化膜51および酸化層55のみが除去される。この結果、図3Cにおいて半導体基板の向かって左側には、薄膜シリコン層9が表面に露出し、向かって右側には、最下部のシリコン基板が表面に露出することになる。

【0047】このような工程を経ることによって、半導体基板3に、SOI構造が残っている部分と、SOI構造が取除かれシリコン基板5が露出している部分(従来のバルク基板と同様の構造を有する部分)とを混在させることができる。つまり、一つの半導体基板にSOI構造有する領域とバルク基板を有する領域とを形成することができる。

【0048】この後、SOI構造が残存している部分には、低電圧用のデバイス形成し、SOI構造が除去さ

れた部分には、高電圧用のデバイスを形成する(図1参照)。それぞれのデバイスの形成は、従来と同様に行なう。

【0049】[その他の実施形態]前記実施形態において、酸化膜を除去する際に、HF系の液体を用いたが、シリコン部分を残し、酸化膜部分を除去できる方法であれば例示したものに限定されない。例えば、ドライエッチングにより、酸化膜のみを除去するようにしてもよい。

10 【0050】また、前記実施形態において、SOI構造を除去する方法として、減圧窒化シリコン膜53を一部除去し、減圧窒化シリコン膜53を除去した領域における薄膜シリコン層9を酸化し、その下部に存在する埋め込み酸化層7と一体化して除去したが、SOI構造を除去する方法はこれに限定されない。

【0051】例えば、減圧窒化シリコン膜53を一部除去した後、その減圧窒化シリコン膜53を除去した領域における薄膜シリコン層9をリソグラフィにより除去し、その下部の埋め込み酸化層をエッチングにより除去するようにしてもよい。

20 【0052】さらに、前記実施形態においては、半導体基板3上にPチャネルトランジスタおよびNチャネルトランジスタを形成したが、半導体素子であればこれに限定されない。たとえば、ダイオードや抵抗等の半導体素子であってもよい。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置1の要部断面図である。

【図2】図1にかかる半導体装置1の製造方法を示す図である。

【図3】図1にかかる半導体装置1の製造方法を示す図である。

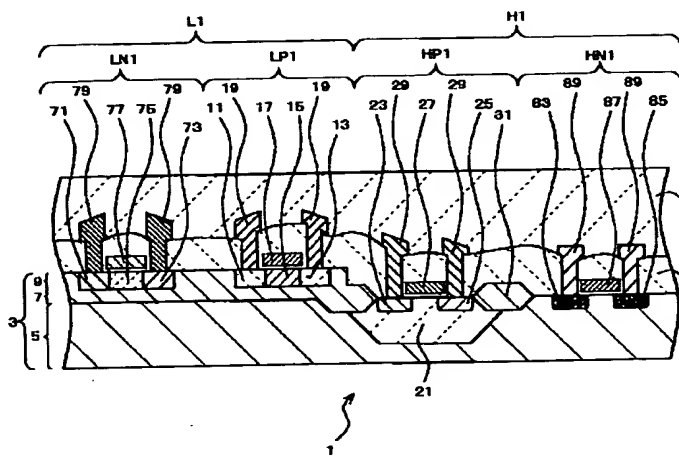
【図4】従来の半導体装置を説明するための図であり、AはSOI構造を有する半導体基板を、BはSOI構造を有する半導体基板に形成されたMOSFETの断面構造を示す図である。

【図5】SOI構造を有する半導体装置で発生する基板浮遊効果を説明するための図である。

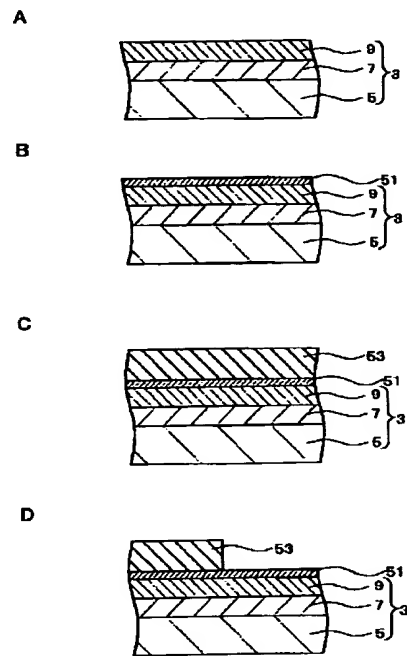
【符号の説明】

- 40 1・・・半導体装置
5・・・シリコン半導体基板
7・・・埋め込み酸化層
9・・・薄膜シリコン層
L1・・・停電圧領域
H1・・・高電圧領域

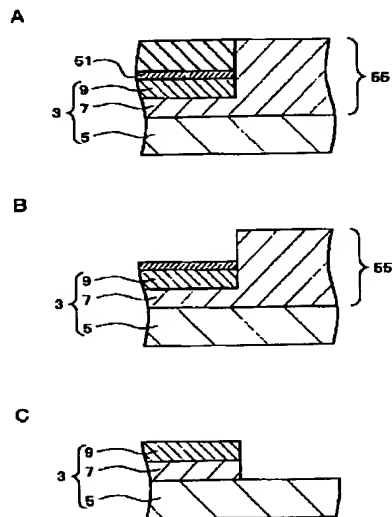
【図1】



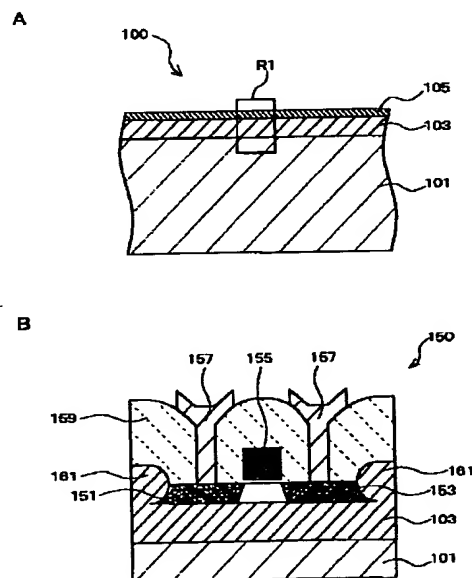
【図2】



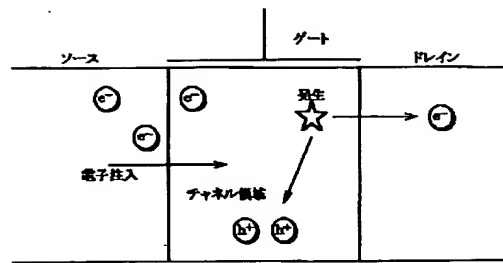
【図3】



【図4】



【図5】



フロントページの続き(51)Int. Cl.⁶

識別記号

FI
H01L 29/78

653D